

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 15 日  
Application Date

申請案號：092100792  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 4 月 1 日  
Issue Date

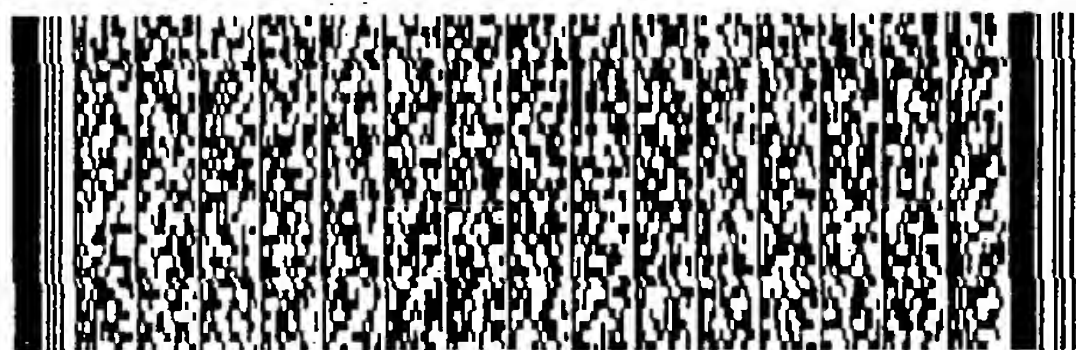
發文字號：09220320470  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	具有散熱佈線設計之積體電路封裝結構
	英 文	Integrated Circuit Package Structure with Heat Dissipation Design
二、 發明人 (共1人)	姓 名 (中 文)	1. 張乃舜
	姓 名 (英 文)	1. Nai-Shung Chang
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (中 文)	1. 北縣新店市中正路533號8樓
	住居所 (英 文)	1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA TECHNOLOGIES, INC.
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 (中 文)	1. 王雪紅
	代表人 (英 文)	1. Cher Wang



四、中文發明摘要 (發明名稱：具有散熱佈線設計之積體電路封裝結構)

一種具有散熱佈線設計之積體電路封裝結構，在封裝基板上放置積體電路晶片，在晶片周圍設置電源環結構，於靠近積體電路晶片之高熱能區域的電源環結構具有較大的表面積，以增進電源環結構與封裝基板之間的接觸面積，而且電源環結構以電連通路連接多層電路板之等電位導電層，以增進散熱效能。

伍、(一)、本案代表圖為：第二圖

(二)、本案代表圖之元件代表符號簡單說明：

晶片30

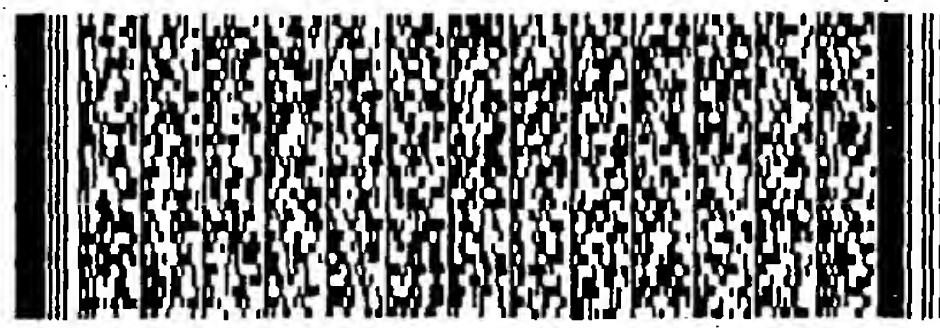
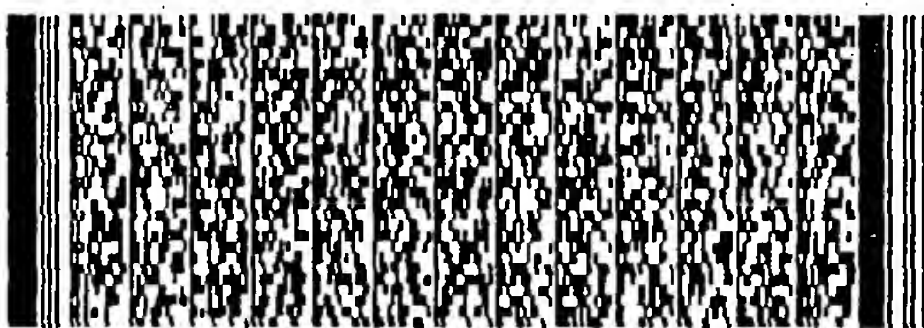
基板31

電源環32

區塊321、322

陸、英文發明摘要 (發明名稱：Integrated Circuit Package Structure with Heat Dissipation Design)

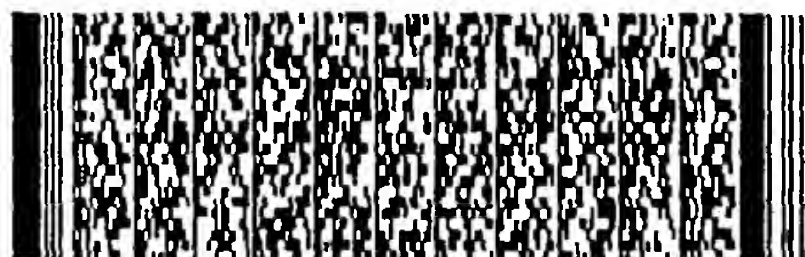
An integrated circuit (IC) package structure with heat dissipation design is disclosed. The IC chip is disposed on a package substrate. A power ring structure surrounds the chip. Due to the relatively large surface area of the power ring structure near the high heat zone of the IC chip, the contact area of the package substrate with the power ring structure is enlarged. The power ring



四、中文發明摘要 (發明名稱：具有散熱佈線設計之積體電路封裝結構)

陸、英文發明摘要 (發明名稱：Integrated Circuit Package Structure with Heat Dissipation Design)

structure is connected to the isoelectric conductive layer of a multi-layer circuit board via an electric connection path, thereby facilitating heat dissipation.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項

權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。





## 五、發明說明 (1)

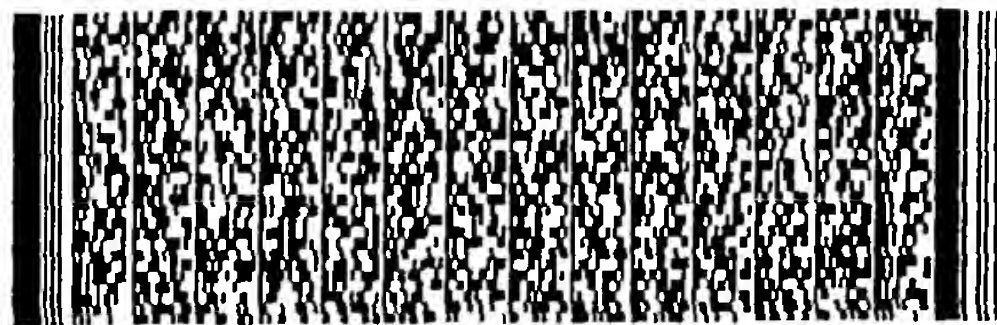
### 發明所屬之技術領域

本案係有關於一種積體電路晶片封裝結構，尤指一種具有散熱佈線設計之積體電路晶片封裝結構。

### 先前技術

於積體電路的製造過程之中，在晶圓上製造多個半導體晶片，在完成半導體製程之後，將包含半導體晶片之晶粒(die)從晶圓上切割下來，而每一個晶粒即為一個半導體元件。在取得晶粒之後，必須進行晶粒之封裝製程，使得晶粒上之半導體元件能夠在封裝基板上獨立運作，此封裝製程包含：準備一封裝基板，在其上具有與晶粒作電連接之導電線路；然後，將晶粒固定於封裝基板上，若為一般封裝結構則以打線製程連接半導體元件與封裝基板，若為覆晶封裝結構，則以金屬墊連接半導體元件與封裝基板；最後，進行整體的包裝過程，將半導體元件包裝於封裝基板之上。而於積體電路的封裝製程之中，封裝基板的設計係根據半導體元件所需要的電氣特性或散熱特性而決定。

請參見第一圖，其係一核心邏輯晶片封裝與設置於主機板上之習用構造示意圖，其中核心邏輯晶片10係置放於一基板11的上表面，而核心邏輯晶片10經由焊線12連接至基板11上之信號輸出入接線墊(pad)，信號輸出入接線墊

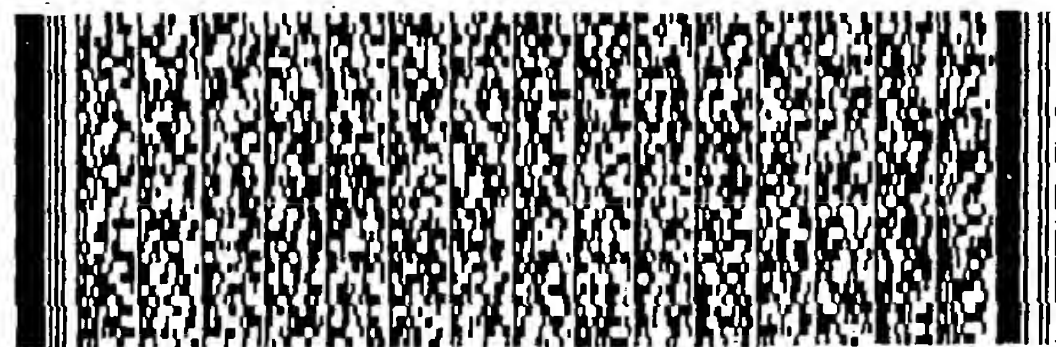
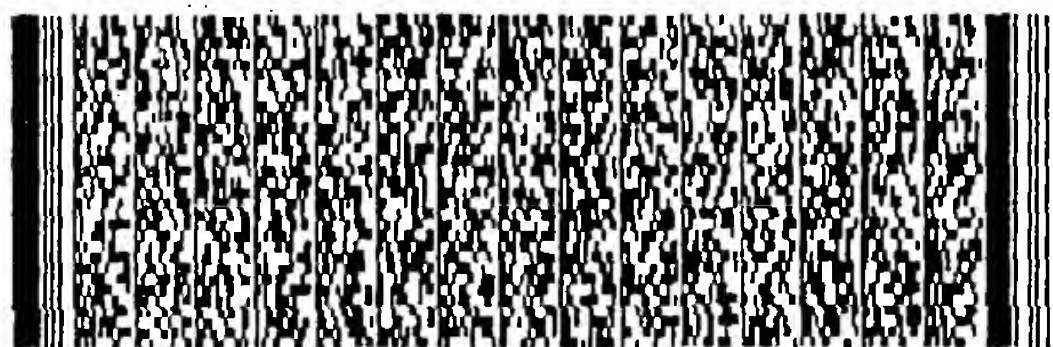


## 五、發明說明 (2)

經由透孔13連接基板11下表面之球狀接腳14。然而，因晶片10之電源接線數量眾多，因此基板11上方係設有一電源環結構(power ring)15，而多條電源接線16便連接至該電源環15之上，至於該電源環15則再透過多個透孔17與下方之球狀接腳18完成電性連接。而基板11周圍與上方則設置有一塑料外蓋19用來保護核心邏輯晶片10本身。而核心邏輯晶片10經由焊線12或電源接線16連接至封裝基板11之信號輸出入接線墊或電源環結構，然後經由透孔14、17之中的金屬栓塞連接球狀接腳14、18，然後電連接於主機板20，核心邏輯晶片10可經由此一封裝結構與電路板20上之其它電路元件完成電性連接。

於第一圖所顯示之積體電路封裝結構，在封裝基板11上設置電源環結構，而且此電源環結構係設置於半導體晶片的一側，此種結構設計係為便於在半導體晶片與電源環結構之間的電源導線接線製程與簡化封裝基板上之導線設計。但是，在封裝基板上的一側設置電源環結構，將會大幅增加封裝基板上的熱應力問題，因為於半導體晶片的正常運作過程中，電源環結構將會因為流通大量電流而發熱，若是封裝基板的散熱效應較差或者導熱效應較差，將會因此此在封裝基板上產生熱應力導致封裝基板扭曲，或者者是因封裝基板的溫度過高導致半導體晶片無法正常運作。

因此，散熱效率一直是半導體晶片製造之重要課題，尤其在操作速率快且積集度高之核心邏輯晶片上，若晶片



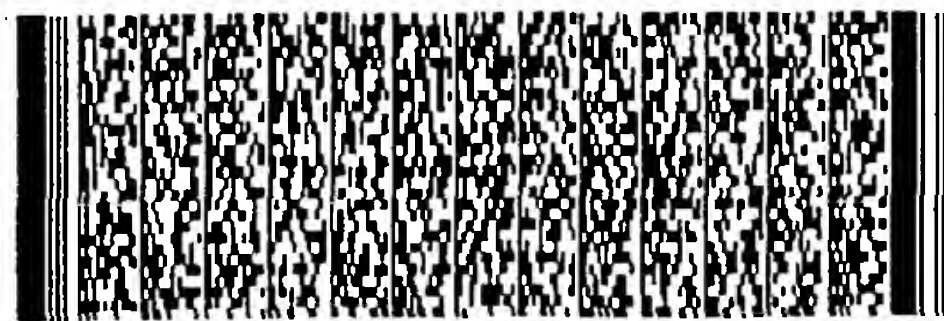
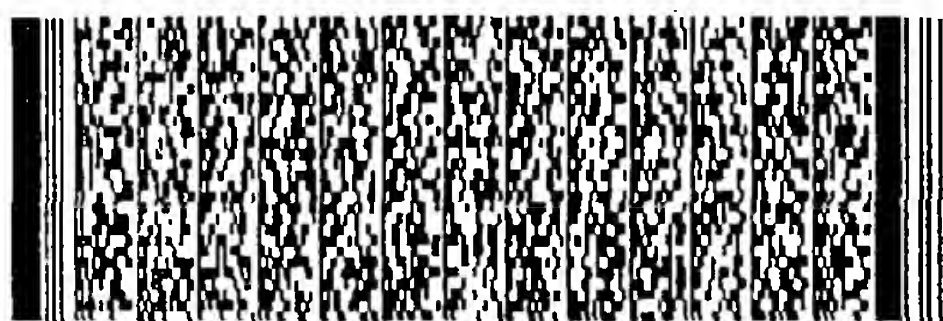
### 五、發明說明 (3)

之散熱效率不佳，則故障產生之機率將增加很多。但是，在上述核心邏輯晶片之封裝結構與設置於主機板上之方式，核心邏輯晶片係經由金屬焊線與封裝基板作電連接，而核心邏輯晶片係以底部連接封裝基板，而封裝基板係以球狀焊墊連接於主機板，皆無法有效達成散熱之實際需求，而如何改善上述技術手段之缺失，係為發展本案之主要目的。

### 發明內容

本發明係揭露一種具有散熱佈線設計之積體電路晶片封裝結構，在一封裝基板上放置積體電路晶片，在積體電路晶片的周圍設置電源環結構，於靠近積體電路晶片之高熱能區域，電源環結構具有較大的表面積，使得其與封裝基板之間具有較大的接觸面積，以增進散熱效能。本發明係揭露一種具有散熱佈線設計之積體電路晶片封裝結構，增加電源環結構與封裝基板之間的接觸面積，使得封裝基板經由電源環結構傳遞熱能至多層電路板上，以增進散熱效能。

本發明係揭露一種具有散熱佈線設計之積體電路晶片封裝結構，利用封裝基板與電腦主機板之電連接通路，增加電連接通路的接觸面積，以增進散熱效能。本發明係揭露一種具有散熱佈線設計之積體電路晶片封裝結構，利用散熱金屬外蓋保護在封裝基板上的積體電路晶





#### 五、發明說明 (4)

片，以增進散熱效能。

根據上述構想，本案所述之晶片封裝結構，其中該電源環係由複數個互不相連之區塊組成，而在於該晶片產生熱能較多之區域周緣之區塊表面積係大於其它區塊之表面積。

#### 簡單圖式說明

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

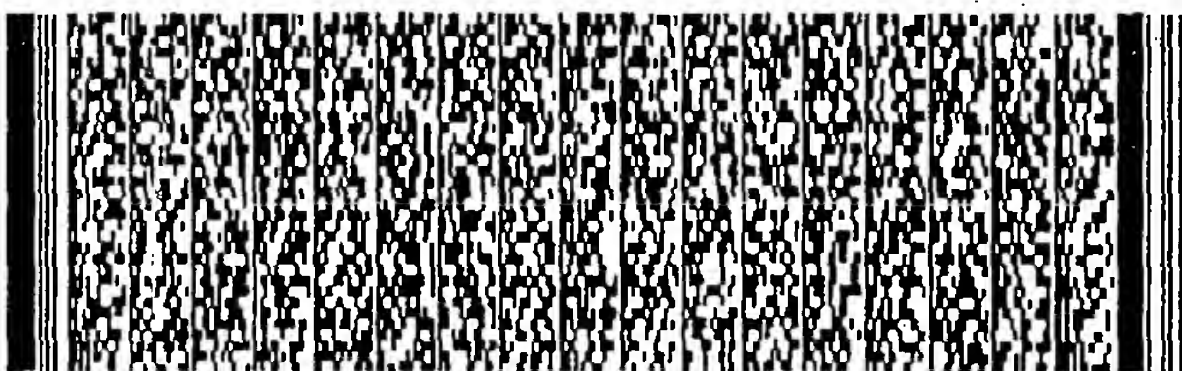
第一圖：其係一核心邏輯晶片封裝與設置於主機板上之習用構造示意圖。

第二圖：其係本案所發展出來之具有散熱佈線設計之積體電路封裝結構之較佳實施例的上視示意圖。

第三圖：其係本案所發展出來之具有散熱佈線設計之積體電路封裝結構之側視剖面示意圖。

本案圖式中所包含之各元件列示如下：

核心邏輯晶片10	基板11
信號接線12	透孔13
球狀接腳14	電源環結構15
電源接線16	透孔17
球狀接腳18	塑料外蓋19
主機板20	晶片30



## 五、發明說明 (5)

基板31

區塊321、322

透孔37

外蓋39

主機板40

等電位導電層42

電源環32

電源接線36

球狀接腳38

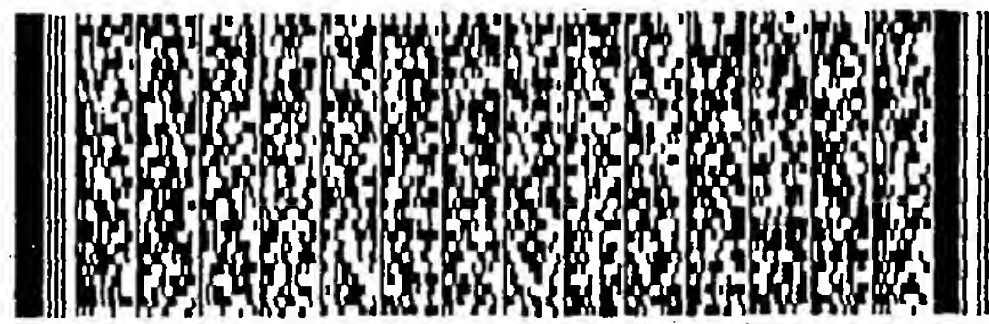
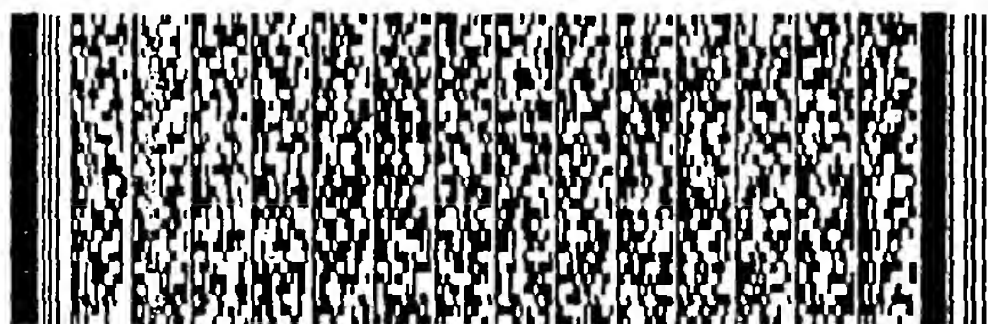
散熱金屬上蓋391

透孔41

### 實施方式

本發明係揭露一種具有散熱佈線設計之積體電路封裝結構，請參見第二圖，其係本發明所發展出來之晶片封裝散熱結構之較佳實施例構造上視示意圖，其中晶片30係置放於基板31之上方，而電源環32係由複數個區塊321、322所組成，而為能有效增強散熱功能，本案便在晶片30產生熱能較多之區域(本例中係晶片之左下區域為產熱較多之區域)周緣之區塊321表面積係大於其它區塊322之表面積。如此一來，原本溫度較高之晶片左下區域將可有效散熱而維持在較佳之工作溫度。

另外，在請參見第三圖，其係本案所發展出來之晶片封裝散熱結構之較佳實施例構造側視剖面示意圖，其中晶片30係置放於基板31之上方，而晶片30上之多條電源接線36連接至電源環(power ring)32之上，至於該電源環32則再透過多個透孔37中之金屬栓塞與下方之球狀接腳38完成電性連接，而透過球狀接腳38與主機板40之電性接觸，晶



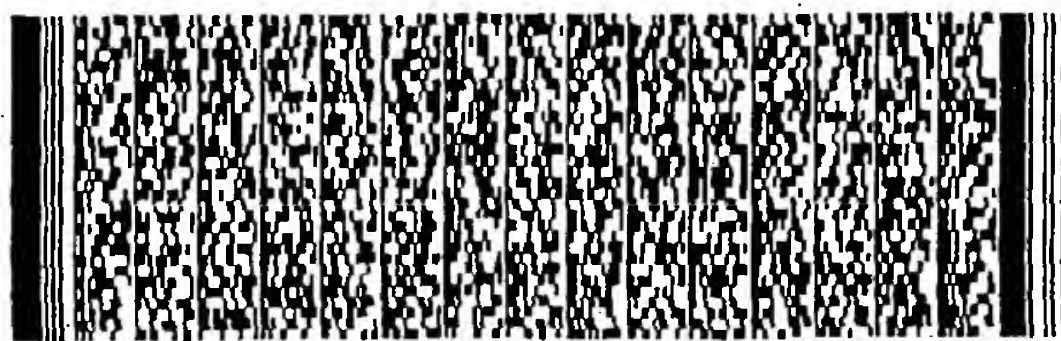
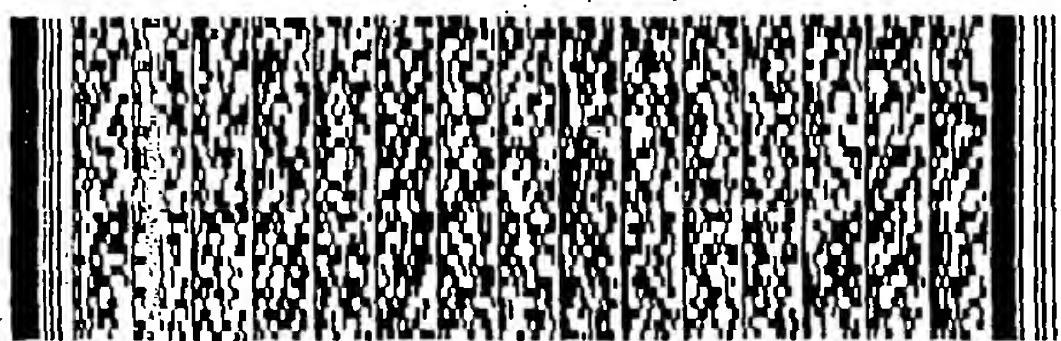
#### 五、發明說明 (6)

片30便可與電路板40上之其它電路元件完成電性連接。為了能改善晶片之散熱功能，本案在用來保護晶片30之外蓋39中以金屬材質(例如鋁等金屬)來完成一散熱金屬上蓋391，如此一來，將可有效增加晶片及其封裝結構整體之散熱效率。

再者，為能增加散熱面積，本案更加透過具有多層結構之電路板40上之透孔41的金屬栓塞，進而將球狀接腳38與設置於電路板40中之等電位導電層42(可為電源層或接地層)完成連接，進而使該晶片可利用該等大面積之電位導電層進行散熱。於本發明之一較佳實施例之中，電路板係為一多層電路板，具有一等電位導電層，此電路板可為一般電腦主機板。

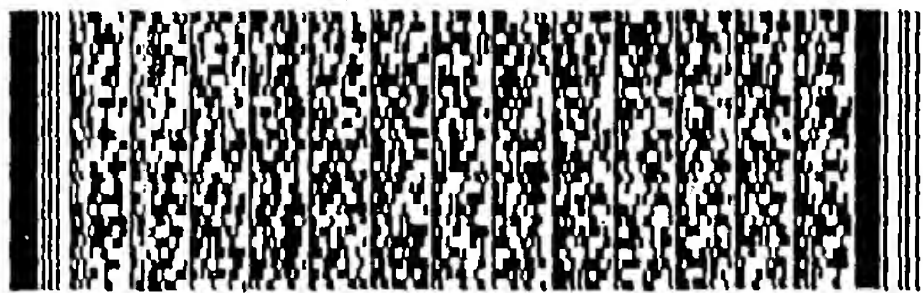
因此，基板31經由圍繞於晶片30周圍的電源環結構32(如第三圖所示)，在晶片30產生熱能較多區域(例如為第二圖所示之晶片左下角區域)，電源環結構321(如第二圖所示)具有較大的表面積，以增加基板31與電源環結構的接觸面積，而電源環結構係經由透孔41中的金屬栓塞連接至球狀接腳38，在連接至電路板40之等電位導電層42(如第三圖所示)，以增強基板31的散熱效能。換言之，在晶片周圍區域增加電源環結構的表面積，以增加電源環結構與封裝基板之間的接觸面積，將可經由電路板之等電位導電層加強封裝基板的散熱效能。

綜上所述，本案改變習用晶片封裝結構並利用下方電路板之特殊結構來改善散熱效率，進而有效解決習用手段



五、發明說明 (7)

之缺失，而本案之晶片可為一核心邏輯晶片(core logic chip)，而該多層電路板則為一電腦主機板，但本案技術手段可被應用至其它相類似之晶片封裝結構上，故本案發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。





#### 圖式簡單說明

第一圖：其係一核心邏輯晶片封裝與設置於主機板上之用構造示意圖。

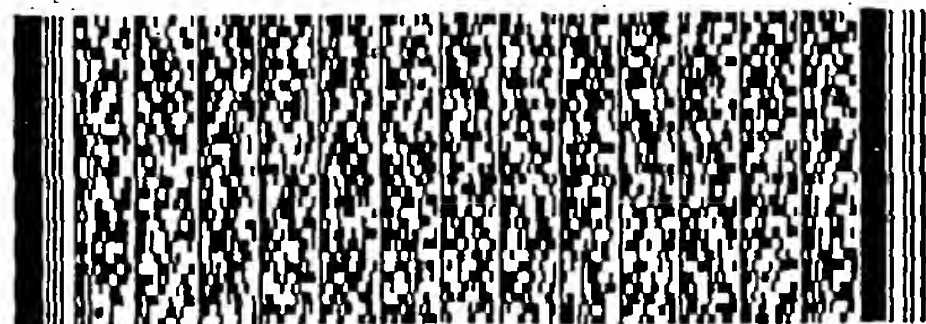
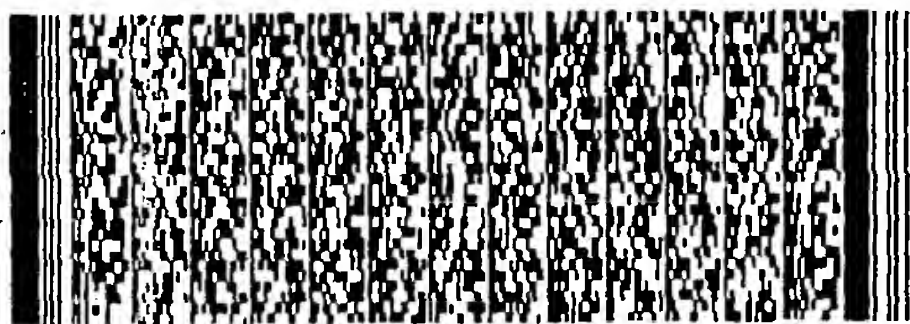
第二圖：其係本案所發展出來之具有散熱佈線設計之積體電路封裝結構之較佳實施例的上視示意圖。

第三圖：其係本案所發展出來之具有散熱佈線設計之積體電路封裝結構之側視剖面示意圖。



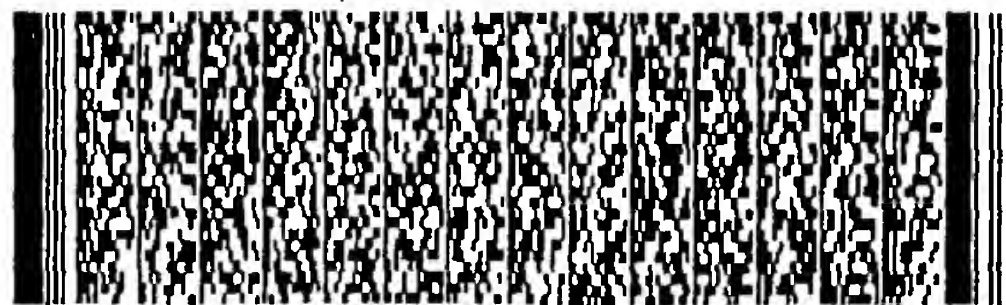
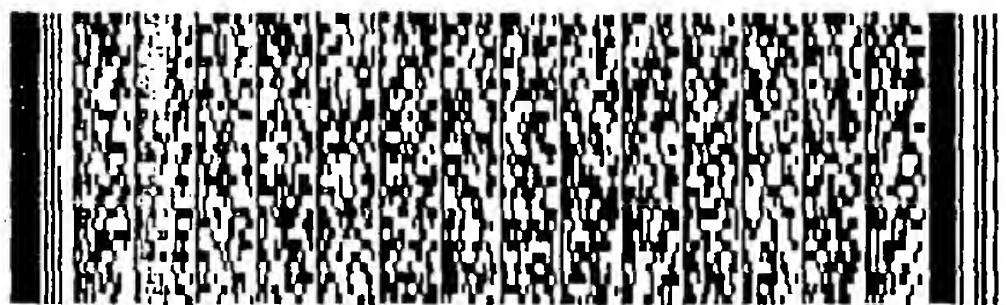
#### 六、申請專利範圍

1. 一種積體電路晶片之封裝結構，該封裝結構至少包含一基板，其第一表面係供該積體電路晶片置放；  
複數個球狀接腳，設置於該基板之第二面；以及  
一電源環，設置於該基板之該第一表面並圍繞該晶片之四周，其中該電源環係透過複數根電源接線與該晶片完成電性連接，另一端係經由穿過該基板之複數個金屬栓塞而與該等球狀接腳達成電性連接，而該電源環在於該積體電路晶片產生熱能較多之區域周圍之表面積大於在其它區域之表面積。
2. 如申請專利範圍第1項所述之封裝結構，其中該電源環係由複數個互不相連之區塊組成，而在於該積體電路晶片產生熱能較多之區域周緣之區塊表面積係大於其它區塊之表面積。
3. 如申請專利範圍第1項所述之封裝結構，其所應用其上之該晶片係為一核心邏輯晶片。
4. 如申請專利範圍第1項所述之封裝結構，於該基板與該積體電路晶片之上方覆蓋一散熱金屬上蓋，以保護該積體電路晶片與加強該積體電路晶片的散熱效果。
5. 如申請專利範圍第4項所述之封裝結構，其中該散熱金屬上蓋的材質為鋁金屬。
6. 如申請專利範圍第1項所述之封裝結構，其中該積體電路晶片為一核心邏輯晶片。
7. 如申請專利範圍第1項所述之封裝結構，其中該基板係應由該球狀接腳與一多層電路板進行電連接。



#### 六、申請專利範圍

8. 如申請專利範圍第7項所述之封裝結構，其中該多層電路板具有一等電位導電層與複數個透孔，而該球狀接腳係透過該複數個透孔，而該多層電路板中之一等電位導電層完成電性連接，進而使該積體電路晶片可利用該等電位導電層進行散熱。
9. 如申請專利範圍第8項所述之封裝結構，其中該等電位導電層係為一電源層或一接地層。
10. 如申請專利範圍第7項所述之封裝結構，其中該多層電路板係為一電腦主機板。
11. 一種積體電路晶片之封裝結構，該封裝結構至少包含：
  - 一基板，其第一面係供該積體電路晶片置放；
  - 複數個接腳，設置於該基板之第二面；以及
  - 一散熱金屬上蓋，設置於該晶片上方，其第一面係朝向該積體電路晶片，而與該積體電路晶片間僅具有一空間，而其第二面則接觸外界空氣，進而達成散熱之功效。
12. 如申請專利範圍第11項所述之封裝結構，其中該散熱金屬上蓋之材質係為鋁金屬。
13. 如申請專利範圍第11項所述之封裝結構，其所應用其上之該晶片係為一核心邏輯晶片。
14. 如申請專利範圍第11項之封裝結構，其中該基板具有複數個電源環結構圍繞於該積體電路晶片的周圍，而該電源環結構在靠近該積體電路晶片產生熱能較多的區域具有比其他區域更大的表面積，以增強該基板與該積體電路晶片的散熱效能。



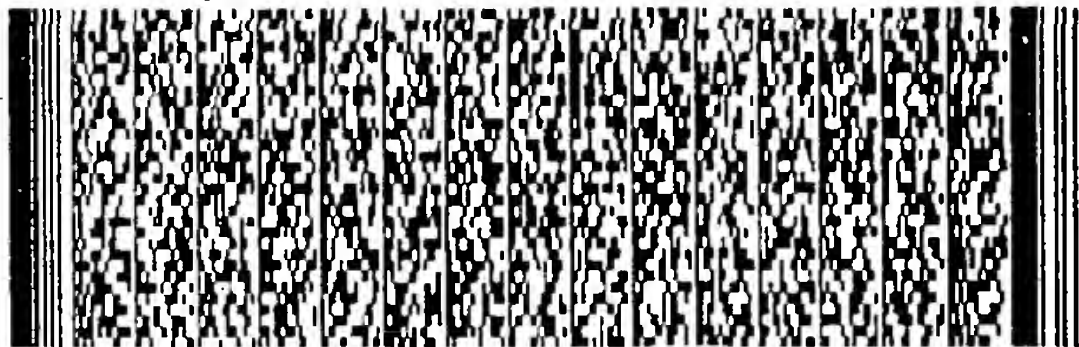
六、申請專利範圍

15. 如申請專利範圍第11項之封裝結構，其中該基板係透過該複數個接腳電連接一多層電路板。
16. 如申請專利範圍第15項之封裝結構，其中該多層電路板具有一等電位導電層與複數個透孔，而該等接腳係透過該等透孔而與該等電位導電層完成電性連接，進而使該積體電路晶片可利用該等電位導電層進行散熱。
17. 如申請專利範圍第16項之封裝結構，其中該等電位導電層係為一電源層或一接地層。
18. 如申請專利範圍第15項之封裝結構，其中該多層電路板係為一電腦主機板。
19. 如申請專利範圍第11項之封裝結構，其中該積體電路晶片係為一核心邏輯晶片。





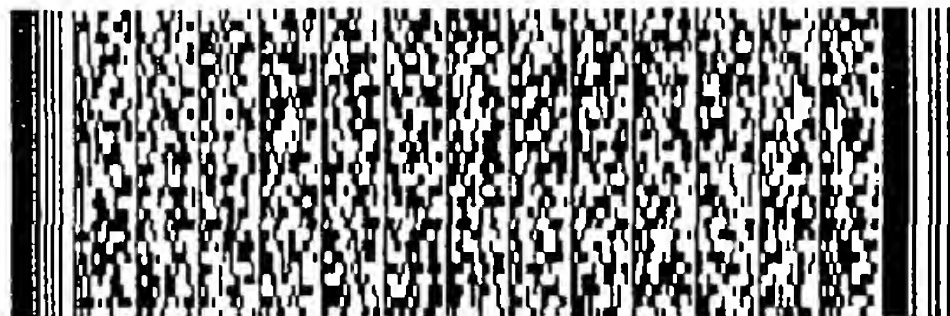
第 1/15 頁



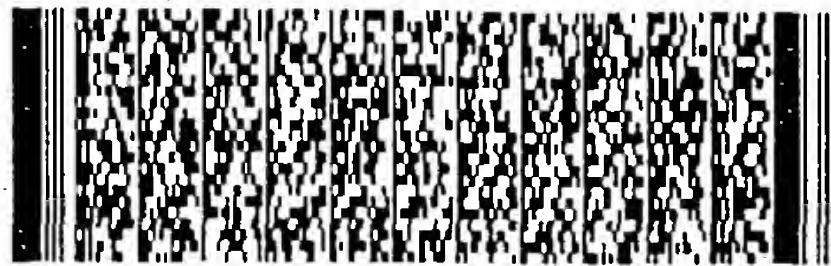
第 2/15 頁



第 2/15 頁



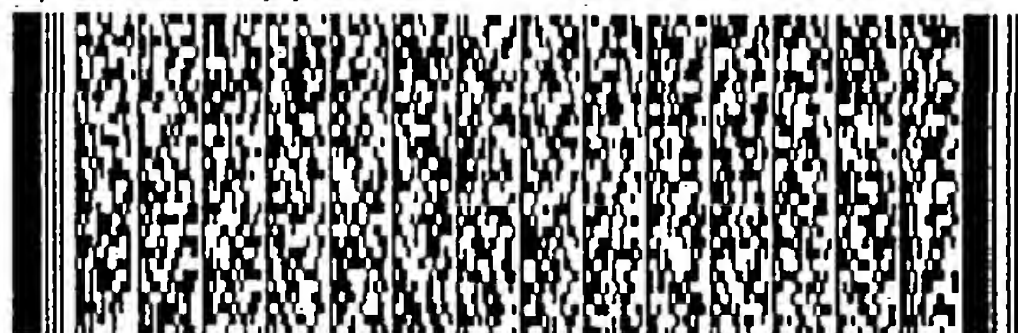
第 3/15 頁



第 4/15 頁



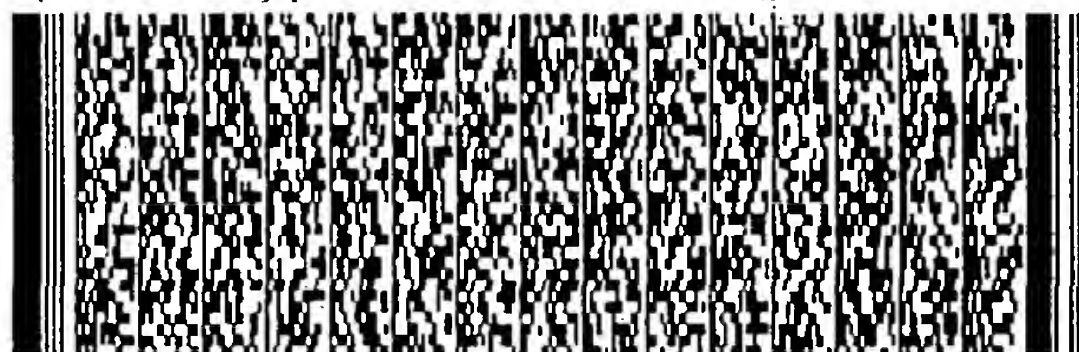
第 5/15 頁



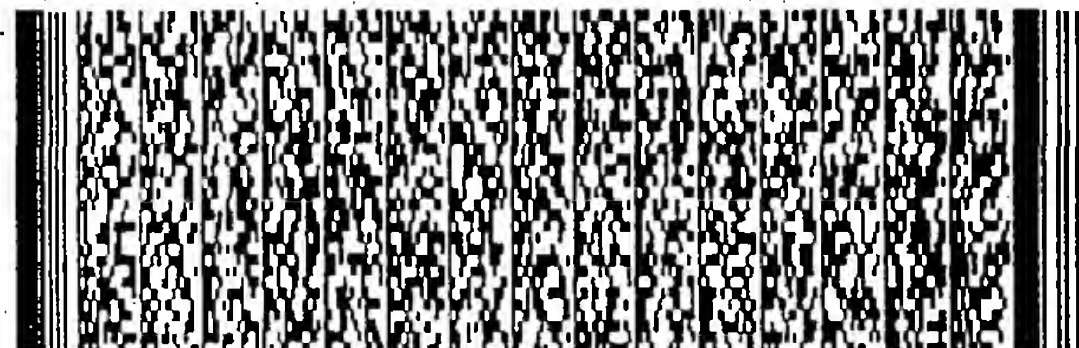
第 5/15 頁



第 6/15 頁



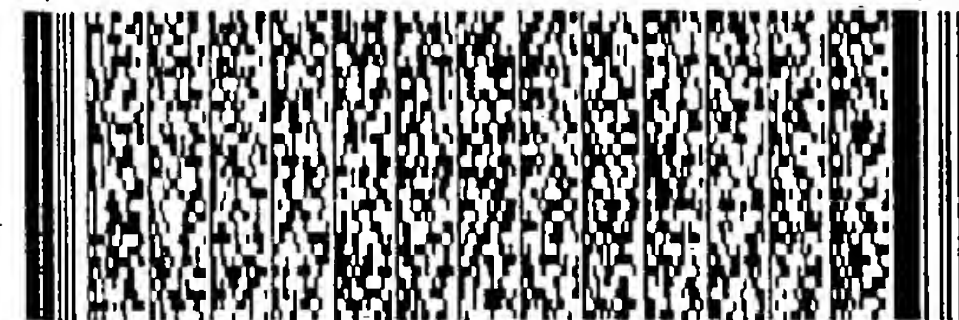
第 6/15 頁



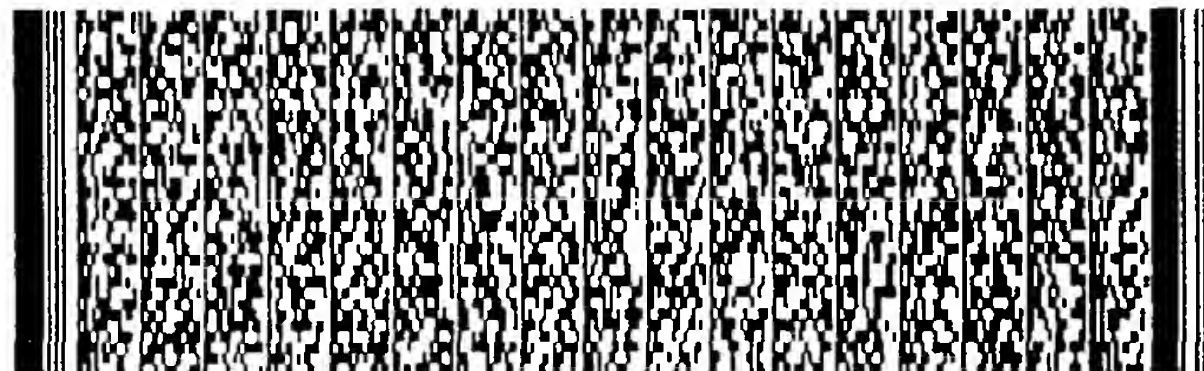
第 7/15 頁



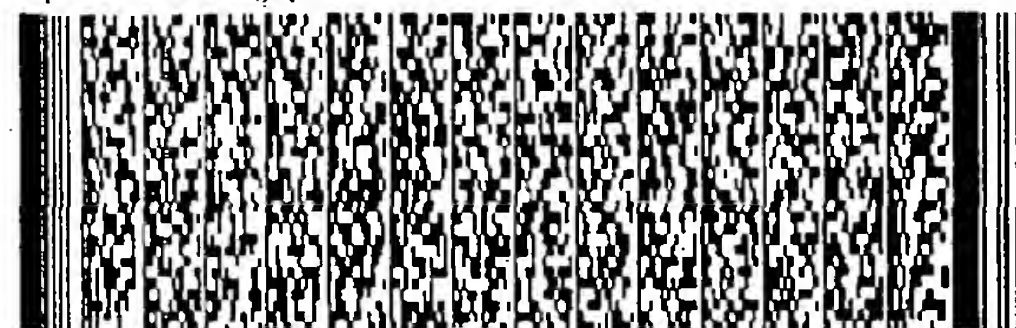
第 7/15 頁



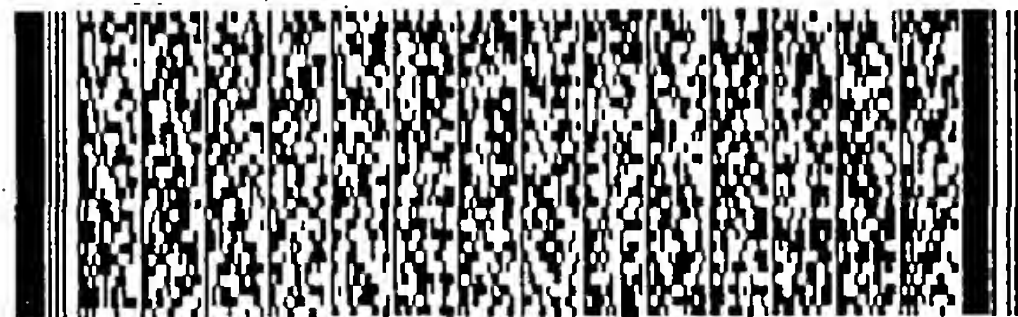
第 8/15 頁



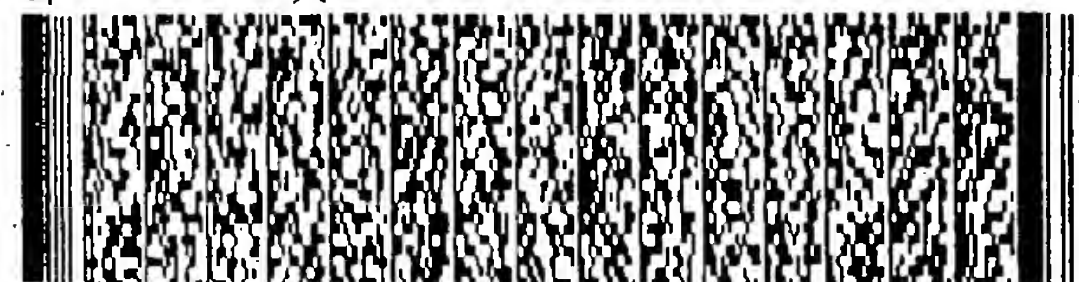
第 9/15 頁



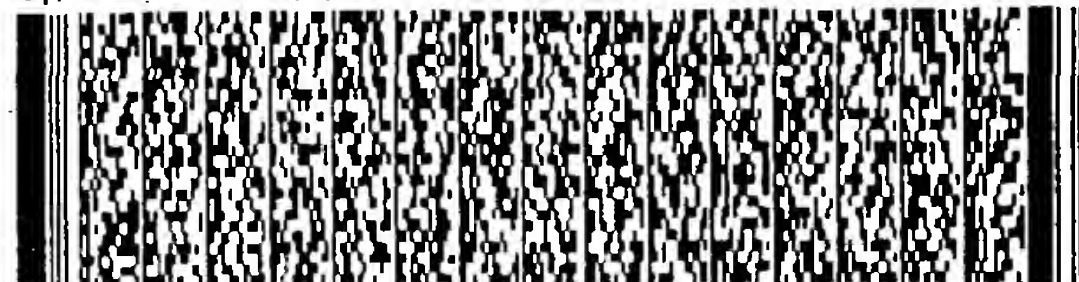
第 9/15 頁



第 10/15 頁



第 10/15 頁

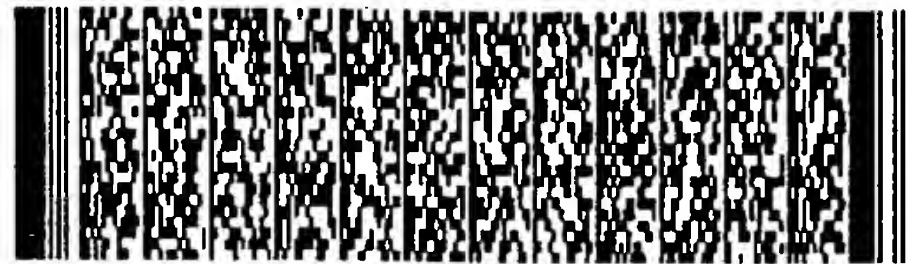




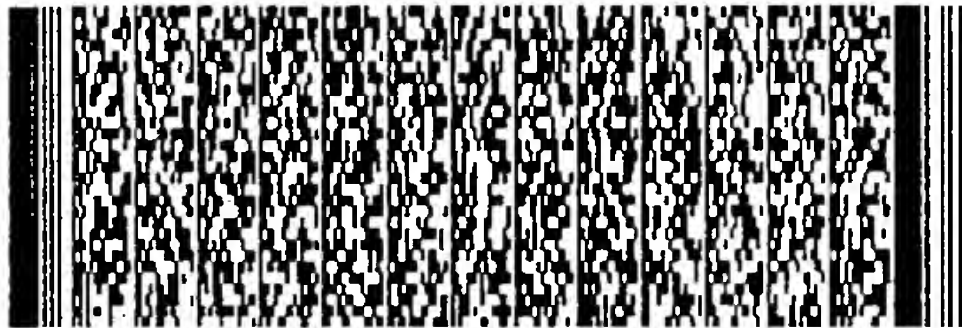
第 11/15 頁



第 12/15 頁



第 13/15 頁



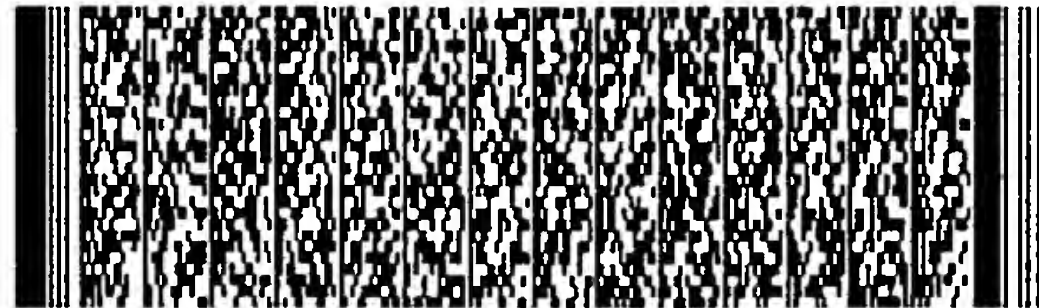
第 13/15 頁



第 14/15 頁

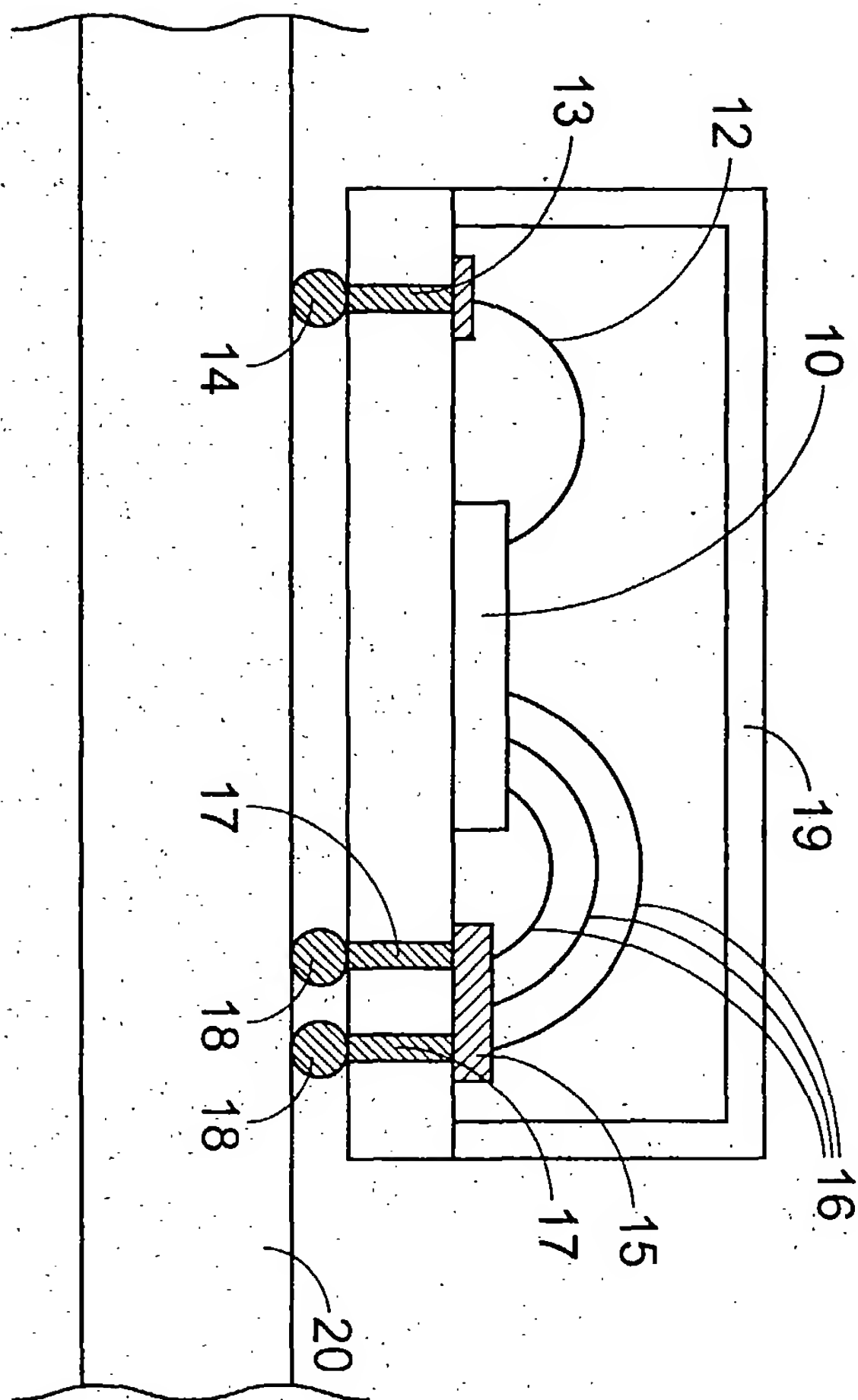


第 14/15 頁

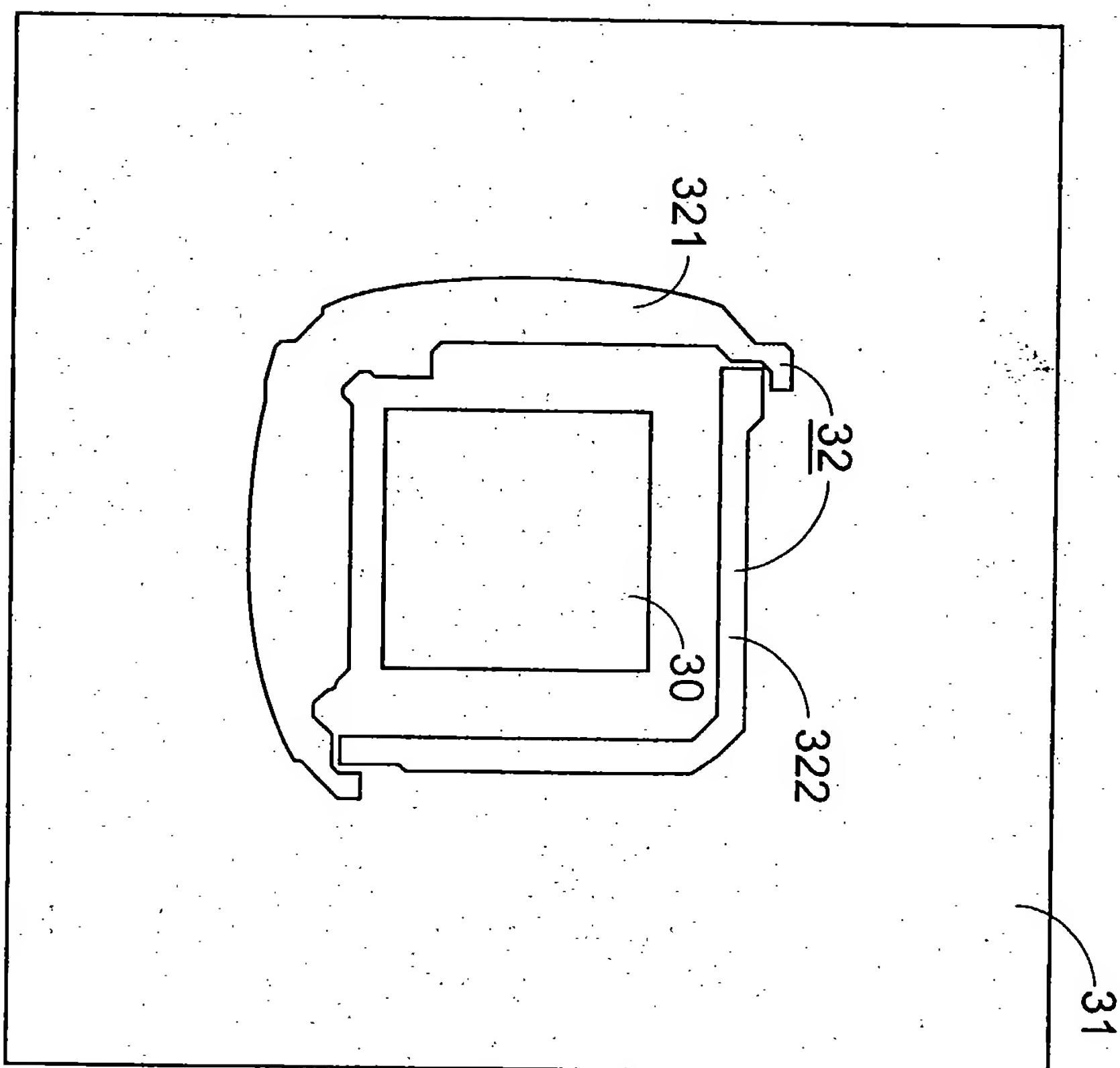


第 15/15 頁



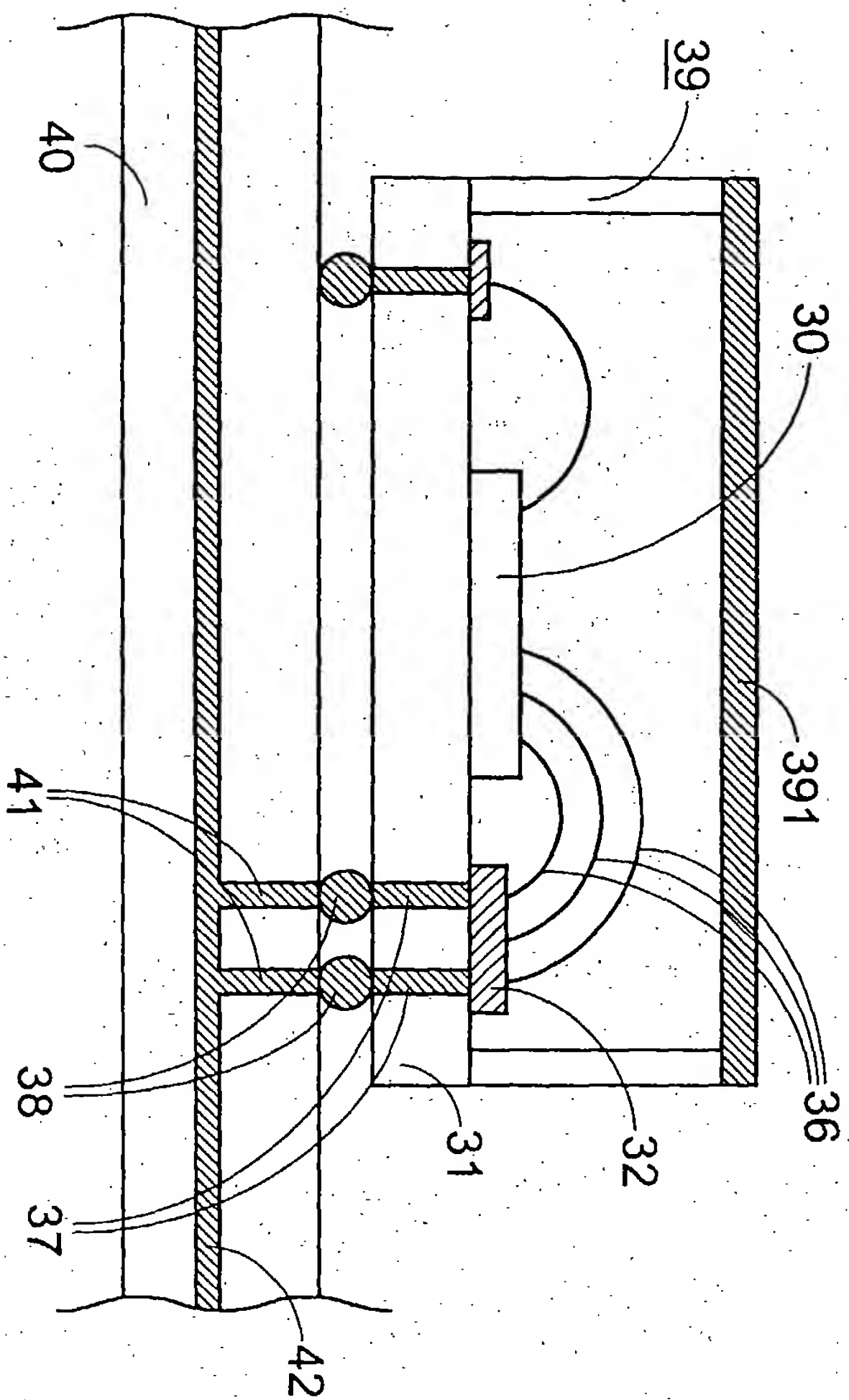


第一圖



第二圖





第三圖